

#3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Oh-Nam KWON

GAU: TBA

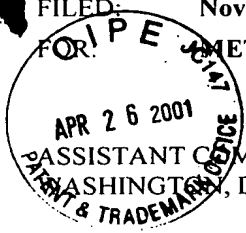
SERIAL NO: 09/709,483

EXAMINER: TBA

FILED: November 13, 2000

FOR: METHOD OF MANUFACTURING A THIN FILM TRANSISTOR

REQUEST FOR PRIORITY



ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| KOREA | 1999-49777 | November 10, 1999 |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: April 26, 2001

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
75477.1

LONG ALDRIDGE & NORMAN LLP

Rebecca A. Goldman
Registration No. 41,786



#4/Priority
Doc
7/13/01
29

대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

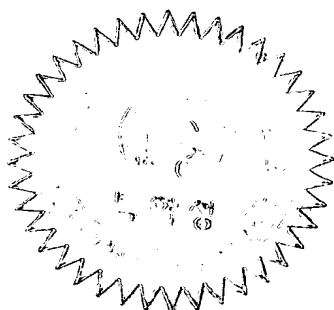
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 49777 호
Application Number

출원년월일 : 1999년 11월 10일
Date of Application

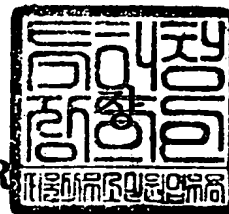
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2000 년 10 월 23 일

특 허 청

COMMISSIONER



| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【제출일자】 | 1999.11.10 |
| 【발명의 명칭】 | 박막 트랜지스터 및 배선 제조방법 |
| 【발명의 영문명칭】 | Method for forming a signal line and TFT using the method |
| 【출원인】 | |
| 【명칭】 | 엘지 .필립스 엘시디 주식회사 |
| 【출원인코드】 | 1-1998-101865-5 |
| 【대리인】 | |
| 【성명】 | 정원기 |
| 【대리인코드】 | 9-1998-000534-2 |
| 【포괄위임등록번호】 | 1999-001832-7 |
| 【발명자】 | |
| 【성명의 국문표기】 | 권오남 |
| 【성명의 영문표기】 | KWON,OH NAM |
| 【주민등록번호】 | 680603-1411215 |
| 【우편번호】 | 437-070 |
| 【주소】 | 경기도 의왕시 오전동 진달래 LG아파트 103/1410 |
| 【국적】 | KR |
| 【취지】 | 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 기 (인) 정원 |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 7 면 7,000 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 0 항 0 원 |
| 【합계】 | 36,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 박막 트랜지스터 제조방법에 관한 것으로서, 도랑이 형성되고, 상기 도랑 내부에 제 1 금속의 씨드금속이 형성된 기판을 구비하는 단계와; 상기 도랑에 씨드금속이 충전된 기판을 무전해 도금용액에 침수시켜 상기 씨드금속 상에 제 2 금속을 상기 도랑의 깊이와 실질적으로 동일하게 형성하여 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판 상에 게이트 절연막과 비정질 실리콘과 불순물이 함유된 비정질 실리콘을 적층하고, 패터닝하여 반도체층을 형성하는 단계와; 상기 반도체층 상에 제 3 금속을 증착하고 패터닝하여, 소스 및 드레인 전극을 형성하고, 상기 소스 및 드레인 전극을 마스크로 하여 상기 소스 및 드레인 전극의 사이에 형성된 불순물이 함유된 비정질 실리콘을 식각하여 채널을 형성하는 단계를 포함하는 박막 트랜지스터 제조방법을 개시하고 있다.

【대표도】

도 6b

【명세서】**【발명의 명칭】**

박막 트랜지스터 및 배선 제조방법{Method for forming a signal line and TFT using the method}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 단면을 도시한 단면도.

도 2a 내지 도 2e는 일반적인 액정표시장치의 한 화소부분에 해당하는 단면의 제조 공정을 도시한 공정도.

도 3은 도 2e의 A 부분을 확대한 단면도.

도 4는 본 발명의 실시예에 따른 무전해 도금의 반응을 도시한 도면.

도 5a와 도 5b는 본 발명의 실시예에 따른 배선형성 방법을 도시한 공정도.

도 6a내지 도 6d는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 공정을 도시한 공정도.

〈도면의 주요부분에 대한 부호의 설명〉

154 : 씨드금속

156 : 저저항 배선

202 : 게이트 전극

204 : 게이트 절연막

207 : 반도체층

210 : 소스 전극

212 : 드레인 전극

220 : 보호막

222 : 드레인 콘택홀

224 : 화소전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 액정표시장치(Liquid Crystal Display ; LCD)에서 스위칭 소자로 사용되는 박막 트랜지스터에 관한 것으로서, 더 상세하게는, 저저항 금속의 게이트 전극을 갖는 박막 트랜지스터 및 그 제조방법에 관한 것이다.
- <14> 일반적으로 박막 트랜지스터(Thin Film Transistor ; TFT)는 스위칭 소자로 널리 사용된다.
- <15> 특히, 근래에 들어와 액정표시장치(LCD)의 스위칭 소자로 널리 쓰이는 박막 트랜지스터는 대면적의 유리기판을 사용하여 제작할 수 있기 때문에, 가장 주목받고 있는 표시장치(display device) 중의 하나이다.
- <16> 일반적인 액정표시장치의 구동원리와 상기 액정표시장치에서 스위칭 소자로서 역할을 하는 박막 트랜지스터의 기능을 살펴보면 다음과 같다.
- <17> 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 상기 액정에 인위적으로 전기장을 인가하여 액정의 분자배열의 방향을 제어할 수 있다.
- <18> 상기 액정은 광학적 이방성 즉, 액정 분자의 장축과 단축의 빛에 대한 굴절

를이 다르다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

<19> 현재는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

<20> 상기 액정표시장치에서 박막 트랜지스터는 오프상태(off state)에서는 다음과 같은 작용을 한다.

<21> 첫 번째로는, 액정표시장치의 주사라인(address line)이 선택되지 않았을 때, 그 주사라인 상의 박막 트랜지스터는 오프상태이기 때문에 액정표시장치에서 콘트라스트의 저하원인이 되는 크로스-토크(cross-talk) 전압이 액정층에 인가되지 않게 하는 것이며, 두 번째는, 스위칭 소자의 오프상태에서 액정층에 신호전압이 인가되는 시간을 연장시키는 것이다.

<22> 일반적으로 액정표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

<23> 도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

<24> 액정 패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 형성되어 있고, 상기 두 장의 기판(2, 4) 사이에 액정(10)이 주입된 형태로 위치하고 있다.

<25> 상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기

액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 소자가 형성된 하부 기판(2)으로 구성된다.

<26> 상기 상부 기판(4)에는 색을 구현하는 컬러필터층(8)과, 상기 컬러필터층(8)을 덮는 공통전극(12)이 형성되어 있다. 상기 공통전극(12)은 액정(10)에 전압을 인가하는 한 쪽전극의 역할을 한다.

<27> 상기 하부 기판(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극 역할을 하는 화소전극(14)으로 구성된다.

<28> 그리고, 상기 상부 기판(4)과 하부 기판(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기판(4)과 하부 기판(2)의 가장자리에는 실런트(sealant : 6)로 봉인되어 있다.

<29> 상술한 능동행렬 액정표시장치의 동작을 살펴보면 다음과 같다.

<30> 박막 트랜지스터의 게이트 전극(26)에 전압이 인가되면, 데이터 신호가 화소전극(14)으로 인가되고, 게이트 전극(26)에 신호가 인가되지 않는 경우에는 화소전극(14)에 데이터 신호가 인가되지 않는다.

<31> 일반적으로, 액정표시장치의 하부 기판의 특성은 만들고자 하는 각 소자에 어떤 물질을 사용하는가 혹은 어떤 사양에 맞추어 설계하는가에 따라 결정되는 경우가 많다.

<32> 예를 들어, 과거 소형 액정표시장치의 경우는 별로 문제시되지 않았지만, 18인치 이상의 대면적, 고 해상도(예를 들어 SXGA, UXGA 등) 액정표시장치의 경우에는 게이트 배선 및 데이터 배선에 사용되는 재료의 고유 저항값이 화질의 우수성을 결정하는 중요

한 요소가 된다.

<33> 따라서, 대면적/고해상도의 액정 표시장치의 경우에는 게이트 배선 및 데이터 배선의 재질로 알루미늄 또는 알루미늄 합금과 같은 저항이 낮은 금속을 사용하는 것이 바람직하다.

<34> 일반적으로 액정표시장치에 사용되는 박막 트랜지스터의 구조는 역 스테거드(Inverted Staggered)형 구조가 많이 사용된다. 이는 구조가 가장 간단하면서도 성능이 우수하기 때문이다.

<35> 또한, 상기 역 스테거드형 박막 트랜지스터는 채널부의 형성 방법에 따라 백 채널 에치형(back channel etch : EB)과 에치 스타퍼형(etch stopper : ES)으로 나뉘며, 여기서 그 제조 공정이 간단한 백 채널 에치형 구조의 박막 트랜지스터에 관해 설명한다.

<36> 도 2a 내지 도 2e는 백 채널 에치형 박막 트랜지스터를 스위칭 소자로 사용하는 액정표시장치의 제작공정을 도시한 공정도이다.

<37> 먼저, 도 2a에 도시한 도면은 기판(1)을 구비하고, 상기 기판(1) 상에 게이트 전극(30)을 형성하는 단계를 나타낸다.

<38> 여기서, 액정표시장치의 동작에 중요한 게이트 전극(30)에 사용되는 금속은 신호 지연(delay)을 줄이기 위하여 저항이 작은 알루미늄이 주류를 이루고 있다.

<39> 도 2b는 상기 게이트 전극(30)이 형성된 기판(1)의 전면에 걸쳐 상기 게이트 전극(30)을 덮는 형태로 게이트 절연막(32)과, 비정질 실리콘(34)과, 불순물이 함유된 비정질 실리콘(36)을 연속으로 증착하고, 상기 비정질 실리콘(34)과 상기 불순물이 함유된 비정질 실리콘(36)을 패터닝하여 액티브층(35)을 형성하는 단계를 도시한 도면이다.

- <40> 상기 게이트 절연막(32)은 저온(350 °C 이하)에서 증착(deposition)이 가능하고, 절연특성이 우수한 실리콘 질화막(SiN_x) 또는 실리콘 산화막(SiO_2) 등이 주로 쓰인다.
- <41> 그리고, 상기 불순물이 함유된 비정질 실리콘(36)은 상기 비정질 실리콘(34)의 증착 후에, 3족 또는 5족의 도핑원소인 붕소(B) 또는 인(P)이 함유된 가스를 혼합하여 형성하며, 일반적인 액정표시장치에서는 인(P)이 함유된 가스인 포스핀(PH_3)을 첨가하여 형성된 n^+ 비정질 실리콘($n^+ a\text{-Si:H}$)을 사용한다.
- <42> 도 2c는 소스 및 드레인 전극(38, 40)을 형성하는 단계를 도시한 도면이다.
- <43> 상기 소스 및 드레인 전극(38, 40)은 상기 게이트 전극(30)의 양 자장자리 일부와 소정의 겹침 길이로 각각 오버랩 되도록 상기 불순물이 함유된 비정질 실리콘(36) 상에 형성된다.
- <44> 이후, 상기 소스 및 드레인 전극(38, 40)을 마스크로 하여 상기 소스 및 드레인 전극(38, 40)의 사이에 존재하는 불순물이 함유된 비정질 실리콘(36)을 식각하여 채널(Channel ; ch)을 형성한다.
- <45> 도 2d는 보호막(42)을 형성하는 단계를 도시한 도면이다.
- <46> 상기 보호막(42)은 상기 채널(Ch)을 외부의 습기나 충격으로부터 보호하기 위함이며, 무기물의 실리콘 질화막(SiN_x)이나 유기물의 BCB(benzocyclobutene) 등을 사용한다.
- <47> 상기 보호막(42)의 형성시 상기 드레인 전극(40)의 일부가 노출되도록 드레인 콘택홀(44)을 형성한다.
- <48> 도 2e는 화소전극(46)을 형성하는 단계를 도시한 도면이다.
- <49> 상기 화소전극(46)은 상기 드레인 콘택홀(44)을 통해 상기 드레인 전극(40)과 접촉

되도록 형성하며, 실질적으로 투명한 인듐-틴-옥사이드(ITO)가 주로 사용된다.

【발명이 이루고자 하는 기술적 과제】

- <50> 전술한 바와 같이, 대면적, 고해상도의 액정표시장치에 있어서, 상기 게이트 전극(30)의 배선저항에 의한 신호 지연(signal delay)때문에 발생하는 크로스-토크(cross-talk)로 인한 화질저하가 발생할 수 있는 단점이 있다.
- <51> 따라서, 종래에는 게이트 전극(30)의 금속을 저저항의 알루미늄(Al) 등을 사용하였다. 그러나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제가 발생할 수 있다.
- <52> 특히, 배선 저항을 줄이기 위해 배선의 두께나 선폭을 증가시켜 형성하면, 개구율의 감소나 단차가 심하게 발생할 수 있다.
- <53> 즉, 도 2e의 A 부분을 확대한 확대도인 도 3을 참조하여 설명하면 다음과 같다.
- <54> 게이트 전극(30)의 저항을 줄이기 위해 상기 게이트 전극(30)을 두껍게 형성하면, 추후 공정에서 형성되는 게이트 절연막(32), 비정질 실리콘(34), 불순물이 함유된 비정질 실리콘(36), 드레인 전극(40) 등이 상기 게이트 전극(30)의 단차에 의해 스텝 커버리지(step coverage)가 취약하게 되어 단선이 발생하게 된다.
- <55> 또한, 상기 게이트 전극(30)의 단차로 인해 상기 게이트 전극(30)과 상기 드레인 전극(40) 간에 기생 정전용량(parasitic capacitance ; C_{pc})이 증가되고, 액정표시장치에서 플리커가 심화되어 화질의 불량이 발생할 수 있는 단점이 있다.
- <56> 상술한 문제점을 해결하기 위해 본 발명에서는 박막 트랜지스터의 게이트 전극 형

성시 저저항 금속을 사용하여 구조를 단순화하고, 개구율을 향상시키는데 그 목적이 있다.

【발명의 구성 및 작용】

<57> 상기와 같은 목적을 달성하기 위해 본 발명에서는 기판을 구비하는 단계와; 상기 기판 상에 포토 레지스트를 도포하고 패터닝하는 단계와; 상기 패터닝된 포토 레지스트를 마스크로하여 기판을 식각하여 도랑을 형성하는 단계와; 상기 도랑이 형성되고 포토 레지스트가 형성된 기판 상에 제 1 금속으로 씨드금속을 도랑의 깊이 보다 작은 두께로 증착하는 단계와; 상기 기판 상에 형성된 포토 레지스트 및 그 상부에 형성된 씨드금속을 제거하는 단계와; 상기 도랑에 씨드금속이 충전된 기판을 무전해 도금용액에 침수시켜 상기 씨드금속 상에 제 2 금속을 형성하는 단계를 포함하는 배선 형성방법을 제공한다.

<58> 또한, 본 발명에서는 도랑이 형성되고, 상기 도랑 내부에 제 1 금속의 씨드금속이 형성된 기판을 구비하는 단계와; 상기 도랑에 씨드금속이 충전된 기판을 무전해 도금용액에 침수시켜 상기 씨드금속 상에 제 2 금속을 상기 도랑의 깊이와 실질적으로 동일하게 형성하여 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판 상에 게이트 절연막과 비정질 실리콘과 불순물이 함유된 비정질 실리콘을 적층하고, 패터닝하여 반도체층을 형성하는 단계와; 상기 반도체층 상에 제 3 금속을 증착하고 패터닝하여, 소스 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터 제조방법을 제공한다

- <59> 본 발명의 특징은 기판을 식각하고, 상기 식각된 기판의 홈에 게이트 배선을 매설하는 것이다.
- <60> 또한, 본 발명은 기판의 식각홈에 게이트 배선을 매설하기 위해 무전해 도금(electroless deposition)을 사용하는 것을 특징으로 한다.
- <61> 이하, 본 발명의 실시예에 따른 구성과 작용을 첨부된 도면을 참조하여 설명한다.
- <62> 도 4는 본 발명의 실시예에 따른 무전해 도금(electroless deposition)의 원리를 나타내는 도면으로써, 상기 무전해 도금은 전기를 사용하지 않는 것을 특징으로 한다. 즉, 혼합용액 내에서 발생하는 화학작용(산화, 환원) 및 전기적 전위(potential)에 의해 도금이 되는 것이다.
- <63> 상기 무전해 도금이 되기 위해서는 금속이 준비되어야 하고, 상기 무전해 도금을 위한 준비금속을 이하에서는 씨드금속(seed metal)이라 하겠다.
- <64> 도 4에 도시된 도면에서와 같이 무전해 도금을 하기 위해서는 혼합용액(100)이 담긴 용기(102)에 씨드금속(50)이 형성된 기판(1)을 충분히 반응시키면 다음과 같은 현상(환원반응)이 일어나게 된다.
- <65> 일반적으로 씨드금속(50)은 원자구조상 안정한 물질이다. 상기 혼합용액(100)의 내부에 존재하는 환원제(R)에 의해 상기 씨드금속(50)은 환원되어(즉, 양이온과 결합할 수 있는 음이온이 남는 현상) 양이온을 받아들일 수 있는 상태가 된다.
- <66> 또한, 상기 혼합용액(100) 내에 결합되어있는 도금하고자 하는 금속(M)은 전자가 모자라는 상태가 되어 상기 전자가 남는 씨드금속(50)과 결합하게 된다. 즉, 상기 씨드

금속(50)을 중심으로 혼합용액 내에 존재하는 금속(M)이 도금되게 되는 것이다.

<67> 이 때, 도금된 금속(M)은 상기 씨드금속(50)과 합금되고, 합금된 금속의 표면에서는 상기 환원반응이 연속적으로 발생하여 혼합용액 속에 존재하는 금속이 계속해서 도금된다.

<68> 본 발명의 실시예는 상기와 같은 무전해 도금 방법을 사용하여 배선을 형성하는 것이다.

<69> 여기서, 상기 씨드금속(50)은 바람직하게는 전도성이 좋은 팔라듐(Pd), 백금(Pt), 금(Au) 등이 가능하다. 또한, 일반적인 금속 즉, 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti) 등도 가능할 것이다.

<70> 또한, 상기 환원제(R)는 바람직하게는 환원성이 좋은 포름알데히드(formaldehyde ; HCHO)가 적당할 것이다.

<71> 그리고, 상기 도금되는 금속(M)은 바람직하게는 은(Ag), 금(Au), 구리(Cu) 등의 저저항 금속이 가능할 것이다.

<72> 상술한 무전해 도금에 사용되는 혼합용액(100)의 성분을 구체적으로 살펴보면 다음과 같다. 상기 혼합용액(100)은 상기 도금되는 금속(M) 즉, 은(Ag), 금(Au), 구리(Cu)의 종류에 따라 달라지게 되며, 각 금속(M)에 따른 혼합용액(100)의 성분은 다음과 같다.

<73> 1) 구리(Cu).

<74> 상기 도금되는 금속(M)이 구리(Cu)이면, 상기 혼합용액(100)은 황산(H_2SO_4)과, 황산구리 용액($CuSO_4 + 5H_2O$)과, 포름알데히드(HCHO) 등을 포함하고 있으며, 상기 황산구리

에서 Cu^{2+} 를, 포름알데히드에서 OH^- 기를 사용한다. 따라서, 상기 황산구리 내에 포함된 Cu^{2+} 이온이 도금되게 되는 것이다.

<75> 여기서, 상기 포름알데히드(HCHO)는 환원제로 사용되며, 상기 환원제로는 하이드라진(hydrazine), 인산나트륨(NaH_2PO_2), 붕산나트륨(NaBH_4), DMAB 등도 가능할 것이다.

<76> 2) 은(Ag).

<77> 상기 도금되는 금속(M)이 은(Ag)이면, 상기 혼합용액(100)은 질산은(AgNO_3)과, 수산화암모늄(NH_4OH)과, 수산화나트륨(NaOH)과 환원제로써, 포름알데히드, 하이드라진, 포도당 등으로 구성된다.

<78> 여기서, 상기 질산은(AgNO_3)용액에 포함된 Ag^{2+} 이온이 도금되게 되는 것이다.

<79> 3) 금(Au)

<80> 상기 도금되는 금속(M)이 금(Au)이면, 상기 혼합용액(100)은 염화금(AuCl_2)과, 염화나트륨(NaCl)과, 물(H_2O)과 환원제로써, 포름알데히드(formaldehyde), 포도당, 인산나트륨(NaH_2PO_2), N-N-디메틸그리산나트륨 등으로 구성된다.

<81> 여기서, 상기 염화금(AuCl_2)에 포함된 Au^{2+} 이온이 도금되게 되는 것이다.

<82> 상술한 바와 같이 상기 도금되는 금속(M)의 종류에 따라 사용되는 혼합용액(100)의 성분은 각각 다르며, 환원제로 가장 일반적인 것은 포름알데히드(HCHO) 이다.

<83> 전기한 무전해 도금방법을 사용한 배선 형성방법을 도 5a와 도 5b를 참조하여, 본 발명에 따른 실시예를 설명하면 다음과 같다.

<84> 먼저, 도 5a는 기판(1)에 도랑(trench ; 152, 이하 홈이라 칭한다)을 형성하고, 씨드금속(154)을 형성하는 단계를 도시한 도면이다.

- <85> 상기 홈(152)의 형성은 기판(1) 상에 포토레지스트(photoresist : PR ; 150) 패턴을 형성하고, 패턴의 형태로 기판(1)을 식각하여 형성하며, 식각된 기판(1)의 전면에 걸쳐 씨드금속(154)을 증착한다. 이후, PR 상에 존재하는 씨드금속 및 PR을 제거하면 홈(152)에만 씨드금속(154)이 존재하게 된다.
- <86> 그리고, 도 5b에 도시된 도면에서와 같이 상기 씨드금속(154)을 이용하여 무전해 도금 방법으로 배선(156)을 형성한다.
- <87> 여기서, 상기 씨드금속(154)은 팔라듐(Pd), 금(Au), 백금(Pt) 등을 사용하는 것이 바람직하나, 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 텅스텐(W), 코발트(Co) 등을 사용해도 무방하다.
- <88> 또한, 상기 배선(156)에 사용되는 금속은 구리(Cu), 은(Ag), 금(Au) 등의 저저항금속이 사용된다.
- <89> 이하 기술될 내용은 상기 무전해 도금방법을 사용하여 배선을 기판 내에 형성하는 방법으로 박막 트랜지스터를 제작하는 방법에 관한 것이다. 즉, 게이트 전극이 기판에 내장된 박막 트랜지스터를 제공한다.
- <90> 도 6a 내지 도 6d는 박막 트랜지스터 및 액정 표시장치의 제조공정을 도시한 도면이다.
- <91> 먼저, 도 6a에 도시된 도면은 홈 내부에 금속(즉, 게이트 전극(202))이 형성된 기판(1) 상에 게이트 절연막(204)과 비정질 실리콘(206) 및 불순물이 함유된 비정질 실리콘(208)을 연속으로 증착하고 패터닝하여, 반도체층(207)을 형성하는 단계를 도시한 것

이다. 여기서, 상기 게이트 전극(202)의 하부에는 씨드금속(200)이 형성된다.

<92> 상기 반도체층(207)을 형성하기까지 2번의 마스크공정을 행한다. 즉, 상기 게이트 전극(202)을 형성할 때, 기판을 식각하기 위해 제 1 마스크를 사용하고, 상기 반도체층(207)을 형성할 때, 제 2 마스크를 사용한다.

<93> 도 6b는 소스 및 드레인 전극(210, 212)을 형성하는 단계를 도시한 도면이다.

<94> 상기 소스 및 드레인 전극(210, 212)은 상기 반도체층(207) 상에 상기 게이트 전극(202)과 오버랩되게 형성하며, 상기 소스 전극(210)과 상기 드레인 전극(212) 사이에 형성된 불순물이 함유된 비정질 실리콘(208)을 식각 함으로써 박막 트랜지스터의 채널을 형성한다.

<95> 상술한 본 발명의 제 2 실시예에 따른 박막 트랜지스터는 게이트 전극(202)에 의해 발생하는 단차가 없으므로, 상기 게이트 전극(202)의 단차 때문에 발생하는 소스 및 드레인 전극(210, 212)의 단선을 방지할 수 있는 장점이 있다.

<96> 도 6c는 전술한 소스 전극(210) 및 드레인 전극(212) 상에 보호막(220)을 형성하는 단계를 도시한 도면이다.

<97> 상기 보호막(220)에는 드레인 콘택홀(222)이 형성되어 있으며, 상기 드레인 콘택홀(222)에 의해 드레인 전극(212)의 일부분이 노출된다.

<98> 도 7d는 화소전극(224)을 형성하는 단계를 도시한 도면으로써, 상기 화소전극(224)은 상기 드레인 콘택홀(222)을 통해 드레인 전극(212)과 접촉하게 된다.

<99> 상술한 바와 같이 액정표시장치를 제작하면 게이트 전극(202)에 의한 단차가 없으므로, 상기 게이트 전극(202)과 소스 및 드레인 전극(210, 212) 간에 발생하는 기생 정

전용량(parasitic capacitance)이 줄어드는 장점이 있다.

<100> 또한, 기생 정전용량이 줄어들므로 인해 RC 지연(RC delay)이 감소하여, 액정표시 장치의 화질에 치명적인 플리커(flicker)를 줄일 수 있는 장점이 있다.

<101> 또한, 상기 게이트 전극(202)으로 저저항의 구리를 사용할 수 있으므로, 배선폭을 감소시킬 수 있다. 따라서, 개구율을 향상할 수 있는 장점이 있다.

【발명의 효과】

<102> 상술한 바와 같이 본 발명의 실시예들에 따라 소자를 제작하면 다음과 같은 특징이 있다.

<103> 첫째, 게이트 전극을 기판 내에 형성함으로써, 단차를 줄일 수 있고, 따라서, 게이트 전극의 단차 때문에 발생할 수 있는 소스 및 드레인 전극의 단선을 방지할 수 있는 장점이 있다.

<104> 둘째, 저저항의 구리를 게이트 전극으로 형성할 수 있고, 필요에 따라서 기판 내에 형성된 도랑의 깊이를 조절함으로써, 추가적으로 저항을 감소할 수 있기 때문에, 액정표시장치에 응용할 경우 배선폭을 감소시켜 개구율을 향상할 수 있는 장점이 있다.

<105> 셋째, 게이트 배선을 기판 내부에 넣을 수 있기 때문에 게이트 전극과 소스 및 드레인 전극의 단차부에서 형성되는 기생정전용량을 줄일 수 있어서, RC 지연을 방지할 수 있고, 플리커의 영향으로부터 자유로울 수 있는 장점이 있다.

【특허청구범위】

【청구항 1】

기판과 환원제 및 치환제가 혼합된 무전해 도금용액을 구비하는 단계와;

상기 기판 상에 포토 레지스트를 도포하고 패터닝하는 단계와;

상기 패터닝된 포토 레지스트를 마스크로하여 기판을 식각하여 도랑을 형성하는 단계와;

상기 도랑이 형성되고 포토 레지스트가 형성된 기판 상에 제 1 금속으로 씨드금속을 도랑의 깊이 보다 작은 두께로 증착하는 단계와;

상기 기판 상에 형성된 포토 레지스트 및 그 상부에 형성된 씨드금속을 제거하는 단계와;

상기 도랑에 씨드금속이 충전된 기판을 상기 무전해 도금용액에 침수시켜 상기 씨드금속 상에 제 2 금속을 형성하는 단계

를 포함하는 배선 형성방법.

【청구항 2】

청구항 1에 있어서,

상기 환원제는 포름알데히드(HCHO), 하이드라진(hydrazine), 인산나트륨(NaH_2PO_2), 붕산나트륨(NaBH_4), DMAB 등으로 구성된 집단에서 선택된 물질이고, 상기 치환제는 황산(H_2SO_4), 황산구리 용액($\text{CuSO}_4 + 5\text{H}_2\text{O}$)이 혼합된 용매인 배선 형성방법.

【청구항 3】

청구항 1에 있어서,

상기 환원제는 포름알데히드(HCHO), 하이드라진(hydrazine), 포도당 등으로 구성된 집단에서 선택된 물질이고, 상기 치환제는 질산은(AgNO_3), 수산화암모늄(NH_4OH), 수산화나트륨(NaOH)이 혼합된 용매인 배선 형성방법.

【청구항 4】

청구항 1에 있어서,

상기 환원제는 포름알데히드(HCHO), 인산나트륨(NaH_2PO_2), N-N-디메틸그리신나트륨 등으로 구성된 집단에서 선택된 물질이고, 상기 치환제는 염화금(AuCl_2), 염화나트륨(NaCl), 물(H_2O)이 혼합된 용매인 배선 형성방법.

【청구항 5】

청구항 1 또는 청구항 2 중 어느 한 항에 있어서,

상기 제 2 금속은 구리(Cu)인 배선 형성방법.

【청구항 6】

청구항 1 또는 청구항 3 중 어느 한 항에 있어서,

상기 제 2 금속은 은(Ag)인 배선 형성방법.

【청구항 7】

청구항 1 또는 청구항 4 중 어느 한 항에 있어서,
상기 제 2 금속은 금(Au)인 배선 형성방법.

【청구항 8】

청구항 1에 있어서,
상기 씨드금속은 파라듐(Pd), 백금(Pt), 금(Au), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 텅스텐(W), 코발트(Co)로 구성된 집단에서 선택된 물질인 배선 형성방법.

【청구항 9】

치환제와 환원제가 혼합된 무전해 도금용액을 구비하는 단계와;
도랑이 형성되고, 상기 도랑 내부에 제 1 금속의 씨드금속이 형성된 기판을 구비하는 단계와;
상기 도랑에 씨드금속이 충전된 기판을 상기 무전해 도금용액에 침수시켜 상기 씨드금속 상에 제 2 금속을 상기 도랑의 깊이와 실질적으로 동일하게 형성하여 게이트 전극을 형성하는 단계와;
상기 게이트 전극이 형성된 기판 상에 게이트 절연막과 비정질 실리콘과 불순물이 함유된 비정질 실리콘을 적층하고, 패터닝하여 반도체층을 형성하는 단계와;

상기 반도체층 상에 제 3 금속을 증착하고 패터닝하여, 소스 및 드레인 전극을 형성하는 단계

를 포함하는 박막 트랜지스터 제조방법.

【청구항 10】

청구항 9에 있어서,

씨드금속이 형성된 기판을 구비하는 단계는

기판을 구비하는 단계와;

상기 기판 상에 포토 레지스트를 도포하고 패터닝하는 단계와;

상기 패터닝된 포토 레지스트를 마스크로 하여 기판을 식각하여 도랑을 형성하는 단계와;

상기 도랑이 형성되고 포토 레지스트가 형성된 기판 상에 제 1 금속으로 씨드금속을 도랑의 깊이 보다 작은 두께로 증착하는 단계와;

상기 기판 상에 형성된 포토 레지스트 및 그 상부에 형성된 씨드금속을 제거하는 단계인 박막 트랜지스터 제조방법.

【청구항 11】

청구항 9에 있어서,

상기 소스 및 드레인 전극 상에 보호막을 형성하는 단계와;

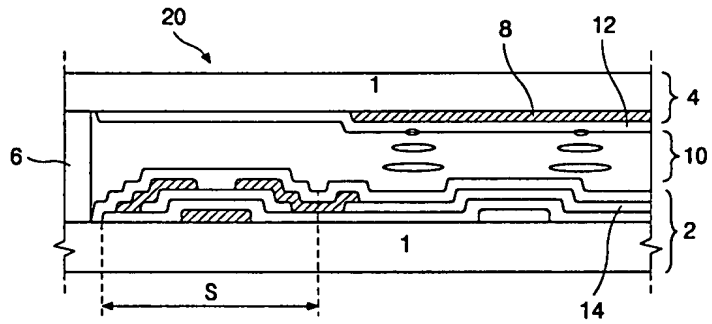
상기 보호막 상에 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 더욱 포함하는 박막 트랜지스터 제조방법.

박막 트랜지스터 제조방법

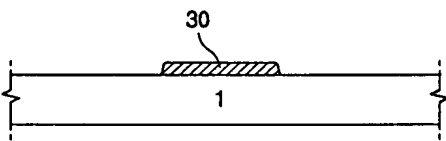
박막 트랜지스터

【도면】

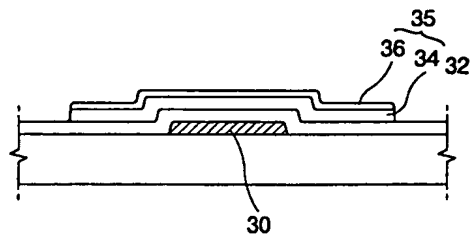
【도 1】



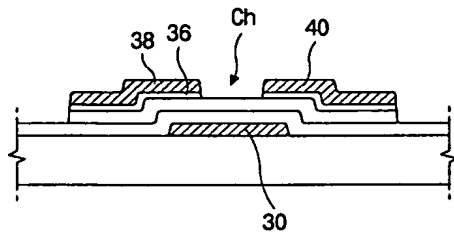
【도 2a】



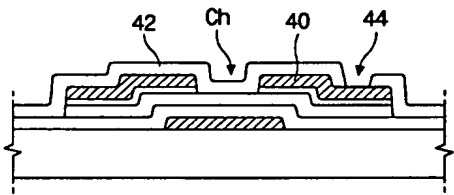
【도 2b】



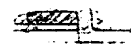
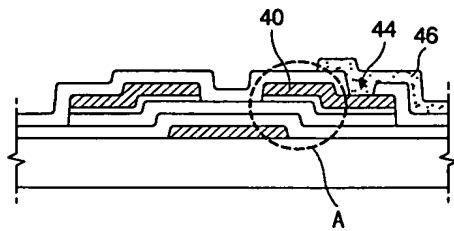
【도 2c】



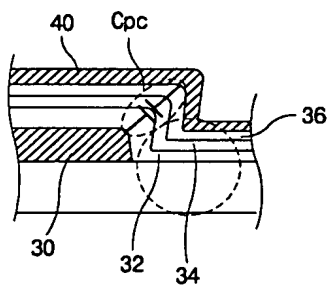
【도 2d】



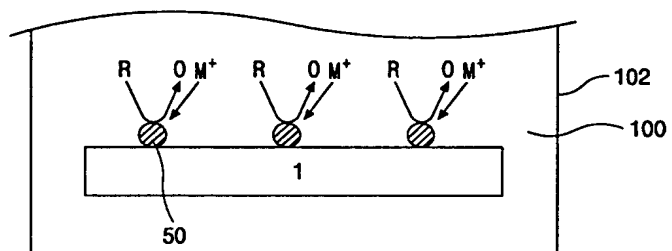
【도 2e】



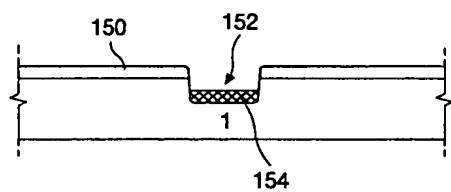
【도 3】



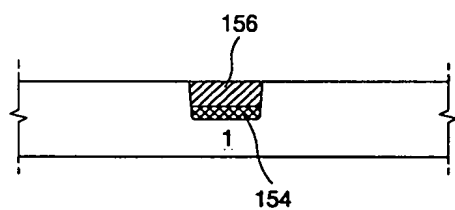
【도 4】



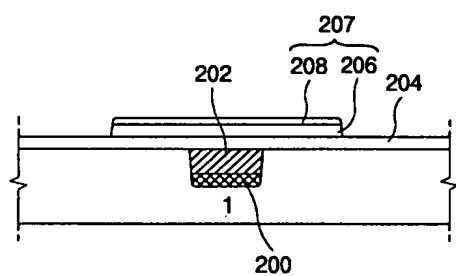
【도 5a】



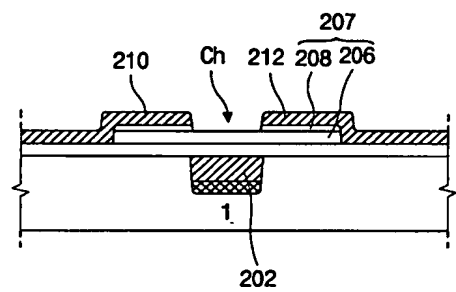
【도 5b】



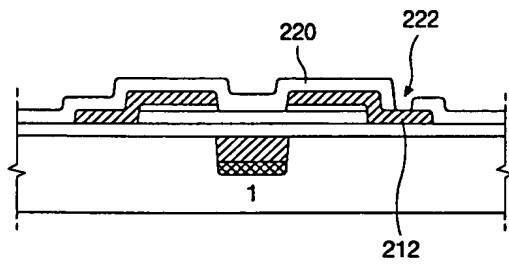
【도 6a】



【도 6b】



【도 6c】



【도 6d】

